本論文已被本期刊接受公開於日後期別，除了頁碼編排以外，內容為最終版。

暫態電壓抑制器(TVS)的保持電壓對於在系統等級ESD與EFT/B測試下的微電子系統之信號完整性影響

沈佑書與柯明道(IEEE會士)

摘要— ***暫態電壓抑制器(TVS)已被廣泛應用於印刷電路板(PCB)上，用以防護微電子系統免於系統級靜電放電(ESD)與快速暫態/突波(EFT/B)破壞。然而，TVS的保持電壓低於微電子系統CMOS IC操作電壓時，在做系統等級ESD與EFT/B測試時將極有可能損及系統操作時信號完整性。本文將對於使用不同保持電壓的TVS的微電子系統，其進行系統等級ESD與EFT/B測試時的信號完整性進行研究。藉由監控微電子系統在進行系統等級ESD與EFT/B測試期間的暫態突波電壓波形時，使用TVS有較低保持電壓的系統將出現故障現象。因此，TVS的保持電壓必須大於系統操作電壓，才能維持系統信號的完整性。***

關鍵字— ***快速暫態(EFT)/突波測試、保持電壓、信號完整性、系統等級靜電放電(ESD)、暫態電壓抑制器 (TVS)。***

I. 介紹

為了預防靜電放電(ESD)事件所造成的損壞，ESD防護電路必須整合於CMOS晶片內，以使晶片能符合元件等級ESD規範[1]。微電子系統則需要符合系統等級ESD與快速暫態/突波(EFT/B)規範[2]、[3]。微電子系統必須在接觸放電模式下有能力耐受8kV ESD轟擊，以達到系統等級ESD規範「第四級」要求[2]。此外，微電子系統的信號埠、資料埠與控制埠也必須承受2-kV EFT測試，以達到EFT/B規範「第四級」耐受要求[3]。系統等級ESD與EFT/B測試的突波電流與轟擊電壓遠比元件等級ESD測試能量還要大。而CMOS晶片內部的ESD防護電路因受限於矽晶片之元件尺寸限制，因而不易通過系統等級ESD與EFT過壓測試。因此將分離式元件TVS安裝於微電子系統的印刷電路板(PCB)上用以保護CMOS IC，使微電子系統能承受系統等級ESD與EFT過壓測試。這類TVS通常放置於CMOS IC的I/O埠附近，並且靠近PCB的電源接點。

具有較低保持電壓(觸發後)的TVS因突波電流流過時能產生較少熱量，因此TVS本身可承受較高ESD與EFT/B能量。因此有些商用TVS產品會設計成較低的保持電壓，來提供較高ESD與EFT/B規範。但先前已有文獻指出，CMOS IC內的ESD防護電路其保持電壓若低於電路操作電壓則將受到類栓鎖故障[4]–[6]。

積體電路(IC)的信號完整性問題傳統上由測量插入損失、串音或甚至輸入/輸出信號的眼圖進行評估，微電子系統產品之信號完整性可能受到許多方面影響，像PCB走線佈局、PCB上的IC位置與系統所用的IC功能[7]。受到TVS保護之微電子系統輸入/輸出埠應採用抗較高的系統等級靜電防護/EFT事件改善。但TVS的保持電壓若比輸入/輸出信號的電壓準位還要低，突然啟動(因ESD/EFT測試時發生突波過壓與/或欠壓)可能在ESD/EFT後造成輸入/輸出信號發生錯誤，這類錯誤並沒有含傳統信號完整性問題在內。近年來，雖已有針對TVS在ESD測試下以不同保持電壓用於微電子系統之信號完整性進行研究[8]，但在本文中，針對板載TVS有保持電壓低於系統操作電壓對微電子系統任何負面影響進行研究。

手稿收到日期2020年11月17日；修改日期2021年1月22日與2021年2月19日；論文接受日期2021年2月27日。本論文分別受到台灣新竹晶焱科技股份有限公司與科技部(MOST)部分資助，研究計畫補助合約編號MOST 108-2622-8-009-001-TE1與MOST 110-2622-8-009-017-TP1，主編C. Duvvury負責本文審查安排*(通訊作者： Ming-Dou Ker.)*

作者服務於300台灣新竹國立陽明交通大學電子所(電子信箱： mdker@ieee.org).

本文彩色圖片版本可於https://doi.org/10.1109/TED.2021.3063208取得。

Digital Object Identifier 10.1109/TED.2021.3063208

This work is licensed under a Creative Commons Attribution 4.0 License. For more information, see https://creativecommons.org/licenses/by/4.0/

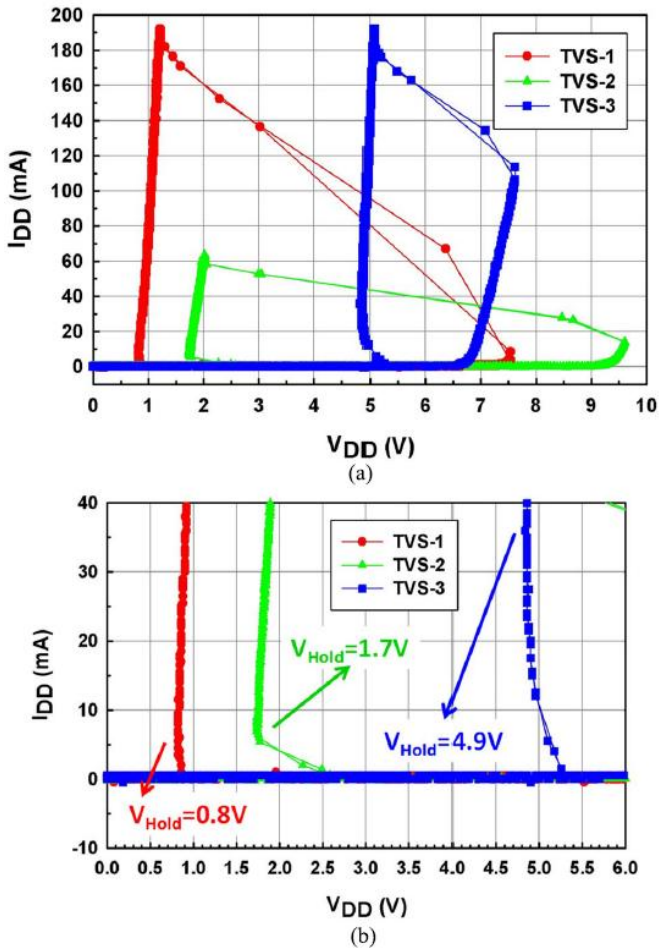


圖1. (a) 測量的直流電流–電壓特性與(b)放大圖，顯示三種商用TVS(TVS-1、TVS-2和TVS-3)以不同保持電壓進行之保持電壓。

II. TVS特性

為了研究TVS保持電壓對微電子系統之影響，本文選用三種有不同保持電壓的商用TVS產品在本實驗中進行測試，所有TVS均為3.3-V I/O埠保護裝置產品。

A. TVS的直流電流–電壓特性

三種商用TVS的*直流電流–電壓*特性均以波形記錄器(Tek370B)測量，結果如圖1(a)與(b)所示。從圖1(a)得知，TVS-1、TVS-2和TVS-3的觸發電壓(V_{Trig})分別為7.6 V、9.7 V與7.6 V，而TVS-1、TVS-2和TVS-3的觸發電流(I_{Trig})分別為10 mA、14 mA與110 mA。利用較低的觸發電壓，TVS可先被提早觸發來防護突波電壓轟擊時微電子系統的CMOS IC。

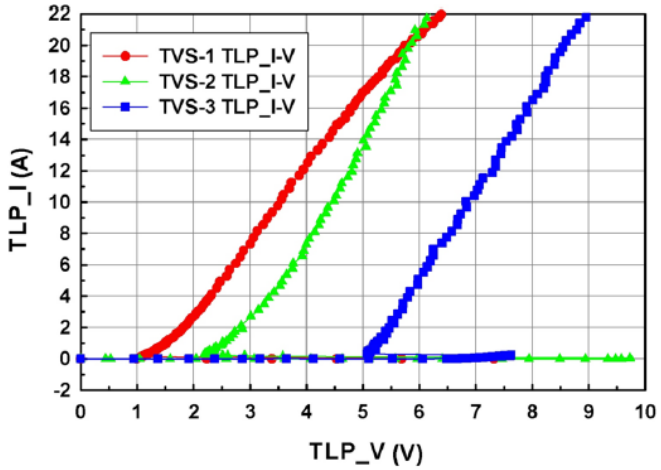


圖2. 100-ns TLP測量三種TVS的電流－電壓曲線。

TVS-1、TVS-2和TVS-3的保持電壓(V_{Hold})與保持電流(I_{Hold})如圖1(b)所示。從圖1(b)得知，TVS-1具有最低保持電壓0.8V，而TVS-2的保持電壓則為1.7V，只有TVS-3的保持電壓大於3.3V操作電壓且為4.9V。從圖1(b)得知，TVS-1、TVS-2和TVS-3的保持電流(保持區的最低電壓點)分別為3 mA、7 mA與 35 mA。

B. 100-ns TLP 電流–電壓特性

為了研究各TVS對ESD能量的強健性，100-ns TLP (傳輸線脈衝系統)用來量測對應的電流-電壓曲線[9]、[10]。圖2顯示這三個TVS的100-ns TLP量測電流-電壓曲線，這三個TVS的第二崩潰電流(It2)均超過22A(此為設備可輸出最大電流)。結果顯示這三個TVS均能以ESD槍在直接接觸放電測試模式下，承受超過8 kV電壓等級。從TLP量測電流-電壓曲線得知，較低的保持電壓有較低的鉗位電壓，有較低鉗位電壓的TVS可提供CMOS IC更有效率的防護。因此，有些商用TVS產品針對較低的保持電壓設計，以提供CMOS IC有較佳的系統等級ESD防護，但使用保持電壓低於系統操作電壓的TVS卻存在對微電子系統造成信號完整性問題。

III. 系統等級ESD測試

A. 系統等級ESD測試架構

圖3顯示兩顆CMOS IC(IC-1與IC-2)在PCB線路上以TVS防護之測試架構。為了模擬微電子系統的輸出埠，使用CMOS反相器(IC-1)來作為信號傳輸埠。另一CMOS反相器(IC-2)則為接收埠，則用來模擬微電子系統之輸入埠。

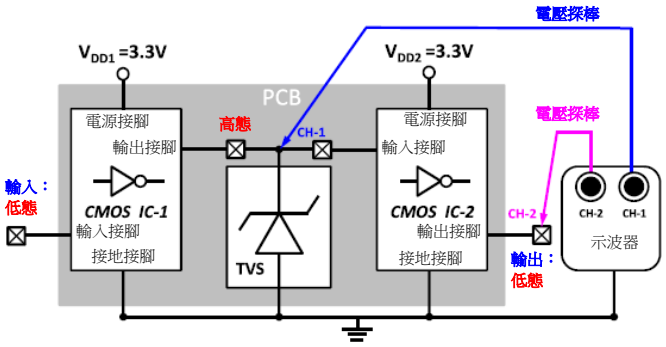


圖3. PCB板信號線路上以TVS防護兩顆CMOS IC(IC-1與IC-2)之測試架構。

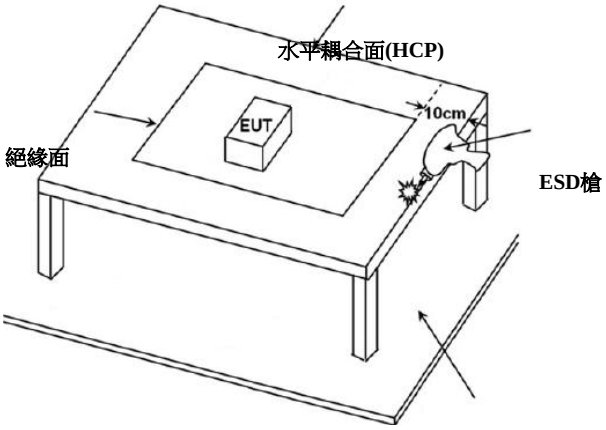


圖4. 系統等級ESD測試搭配間接接觸放電測試模式之量測架構，如IEC 61000-4-2規範[2]規定。

IC-1的電源接腳接至3.3V(V_{DD1})，IC-2的電源接腳接至3.3V(V_{DD2})。輸入IC-1的輸入信號為邏輯「低」態，因此IC-2輸入接腳接收的信號為邏輯「高」態，而IC-2輸出將維持在「低」態。CMOS IC-1與CMOS IC-2的最大輸出電流為100 mA，比TVS-1、TVS-2與TVS-3的保持電流還要大。

TVS將放置於信號線(連接IC-1輸出接腳與IC- 2輸入接腳)與地端之間，用以模擬微電子系統上以TVS進行ESD防護。並且此三個裝置(IC-1、IC-2與TVS)將焊接至PCB板上，以形成本實驗待測設備(EUT)並進行系統等級ESD測試。如圖3所示，在進行系統等級ESD測試時將利用示波器頻道1(CH-1)與頻道2(CH-2)的電壓探棒，進行IC-1與IC-2輸出接腳的突波電壓波形監控與記錄。前文所提到的三種商用TVS將個別進行系統級ESD測試，並且無TVS保護的EUT亦將進行測試，用以作為對照組實驗。針對這些EUT進行系統等級ESD測試，即可研究TVS在不同保持電壓下對微電子系統輸入或輸出埠之影響。

圖4顯示為系統等級ESD間接接觸放電測試模式之量測架構圖，如IEC 61000-4-2規範[2]說明。圖4所示的EUT(待測設備)係指圖3所示整塊PCB板並且包含電源供應器(3.3V)。系統等級ESD放電槍將對水平耦合面(HCP)轟擊符合規範的ESD電壓，因此ESD能量將耦合至EUT內 [11]。測試的ESD電壓將以1000V開始，然後每次ESD電壓將增加1000V。

B. 系統等級EDS測試下之暫態響應

在+1000V的系統等級ESD電壓轟擊測試(如圖4所示)下，具有TVS-1防護的EUT其IC-1輸出接腳與IC-2輸出接腳之電壓波形如圖5所示。

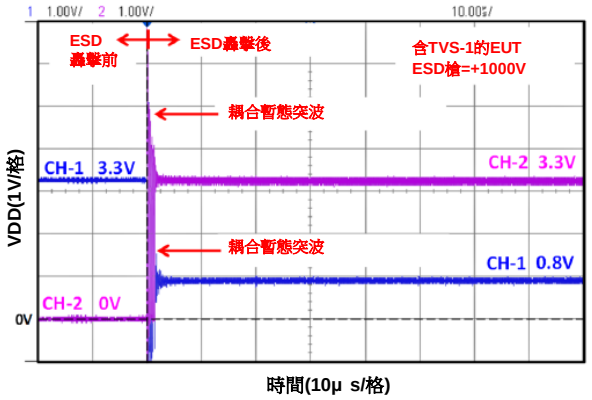


圖5. 在+1000V電壓轟擊的系統等級ESD測試時，有**TVS-1**防護量測(a) IC-1輸出接腳(電壓探棒CH-1)與(b)IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

如圖5所示的CH-1與CH-2波形，在ESD轟擊之前，IC-1輸出接腳與IC-2輸出接腳的初始狀態分別保持在邏輯「高態(3.3V)」與邏輯「低態(0V)」。在系統等級ESD轟擊下，ESD槍送出的暫態電壓將被耦合至PCB板線路，如CH-1與CH-2電壓波形所示的暫態突波。

在系統等級+1000V的ESD電壓轟擊之後，即使IC-1輸入接腳的輸入信號仍保持在邏輯低態(0V)，但IC-1輸出接腳的電壓降卻至0.8V。在經過ESD轟擊感應的暫態突波後，CH-1電壓從3.3V降至0.8V，這個0.8V鉗位電壓跟圖1(b)的TVS-1保持電壓完全相同。系統等級ESD測試的暫態突波將TVS-1觸發至保持狀態，因此IC-1輸出接腳的信號電壓準位被鉗降至0.8V。TVS-1確實被啟動箝制暫態突波，因而提供PCB板上的IC有良好過壓防護，但IC-1輸出接腳的信號電壓準位被較低的TVS-1保持電壓 (0.8V)鎖定，反而造成IC-2輸出接腳出現錯誤的邏輯狀態，變成邏輯高態 (3.3V)。

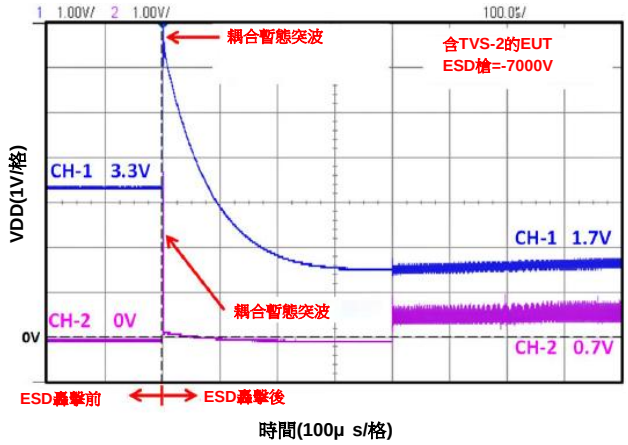


圖6. 在-7000V電壓轟擊的系統等級ESD測試時，有**TVS-2**防護量測(a) IC-1輸出接腳(電壓探棒CH-1)與(b)IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

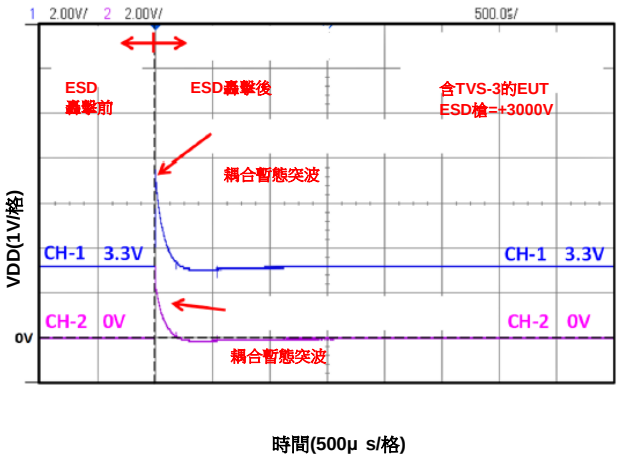


圖7. 在+30000V電壓轟擊的系統等級ESD測試時，有***TVS-3***防護量測(a) IC-1輸出接腳(電壓探棒CH-1)與(b)IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

在系統等級ESD測試過程中，雖然系統硬體(CMOS IC)沒有因為ESD的能量而損壞，但因TVS-1而造成的錯誤邏輯狀態也會使系統產生操作錯誤(軟性誤差)或故障。當有較高的ESD電壓(大部分的系統等級應用一般為8kV)時，這類信號完整性問題在受到TVS-1防護的微電子系統中將變得更嚴重。在-7000V的系統等級ESD電壓轟擊測試時，具有TVS-2防護的EUT其IC-1輸出接腳與IC-2輸出接腳之量測電壓波形分別如圖6所示。在-7000V電壓ESD轟擊測試之後，IC-1輸出接腳的電壓準位降至1.7V，其值接近TVS-2的保持電壓(如圖1(b)測量)。由於CH-1電壓準位被TVS-2箝制，因此IC-2輸出接腳的電壓準位(CH-2)完全錯誤(~ 0.7 V)。在-7000V的系統等級ESD電壓轟擊之後，CH-2的輸出邏輯狀態從邏輯「低態」變至模糊狀態，因而對系統操作造成嚴重錯誤。

在圖6中，IC-1輸出節點有過長的電壓波形延遲時間，由於IC-1反相器(啟動上拉輸出節點至3.3 V VDD)的上拉pMOS 與TVS-2 (被觸發下拉輸出節點至0 V GND)之間拉扯造成，pMOS汲極電流在這樣的電壓/偏壓條件下雖並不夠大到超過TVS-2拉降電流，但仍可供應部分電流來上拉輸出節點。當上拉電流(IC-1的pMOS)與下拉電流(TVS-2)出現相當小的電流差值時，在IC-1輸出節點造成壓降從3.3 V降至1.7 V之時間就會變得較長，如圖6所示。在±30000V電壓轟擊的系統等級ESD測試時，有TVS-3防護的IC-1輸出接腳與IC-2輸出接腳之量測電壓波形分別如圖7所示，耦合至IC-1輸出接腳的ESD突波讓過衝電壓跑入微電子系統。雖然過衝電壓可以觸發TVS-3，但是過衝電壓被洩壓至接地後就關閉TVS-3。因為TVS-3的保持電壓比系統的操作電壓還要大，所以釋放耦合ESD能量後即可自動關閉TVS-3。

表 I
系統等級ESD測試總結

	TVS-1	TVS-2	TVS-3	TVS-4
失效的ESD電壓(V)	+1000	-700	不適用	-20000
合格的ESD電壓(V)	不適用	±6000	±30000	±19000
ESD轟擊前的CH1電壓探棒(V)	3.3V(高態)			
ESD轟擊前的CH2電壓探棒(V)	0V(低態)			
SD轟擊後的CH1電壓探棒(V)	0.8	1.7	3.3	2.2
ESD轟擊後的CH2電壓探棒(V)	3.3	0.7	0	0
失效模式	信號完整性問題	信號完整性問題	無失效	CMOS IC永久損壞

由於IC-1接出接腳保持在正確的邏輯狀態(3.3V)，在±30000V電壓轟擊的系統等級ESD後，因此CH-2的輸出邏輯狀態也保持在正確的狀態(0V)。因此，TVS-3不僅能夠提供PCB板有效率的系統等級ESD防護，而且還能良好保持微電子系統之信號完整性。

無TVS防護(控制組)的EUT可以通過±19000V系統等級ESD測試而無任何信號完整性問題。在-20000V電壓轟擊的系統等級ESD之後，CH-1電壓降至2.2V。在重新啟動EUT之後，CH-1電壓一直保持在2.2V，因此EUT經-20000V系統等級ESD測試[8]後而永久損壞。在系統等級測試下，無TVS防護的EUT量測暫態波形並沒有在這裡顯示。在無TVS防護的系統等級ESD測試下，示波器並沒有觀察與記錄邏輯變化與信號完整性問題。從控制組的量測結果得知，無TVS防護的EUT之所有測試與量測架構沒有影響信號完整性。

在系統等級ESD測試下，受到TVS防護的PCB板之暫態響應量測結果總結如表 I，其中無TVS防護的EUT可以通過系統等級ESD測試高達±19000V。不過，有TVS-1與TVS-2防護的EUT之ESD電壓被降至7000V以下。

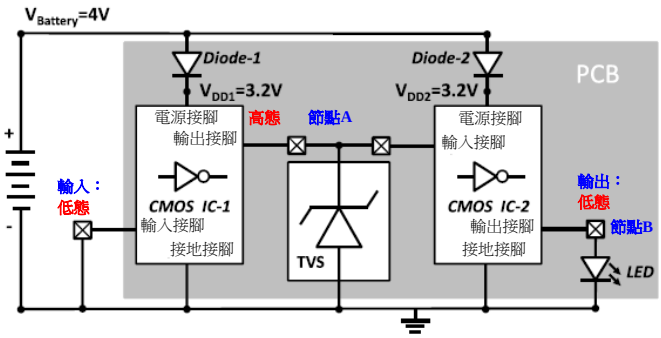


圖8. 在沒有電壓探棒線與EUT電源造成的暫態耦合路徑下之額外測試架構。

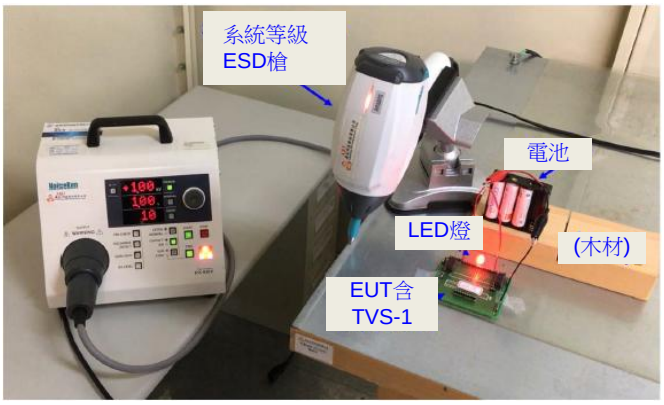


圖9. 新EUT含TVS-1裝置經+1000 V 系統等級ESD測試後LED亮起。

因為TVS-1與TVS-2的保持電壓低於系統操作電壓，所以受到這兩種TVS防護的EUT因信號完整性問題而無法符合「第四級」防護要求。為了安全防護微電子系統免受系統等級ESD過衝電壓的影響與保持正確應用的信號完整性，TVS的保持電壓應稍微比微電子系統最大信號電壓準位還要高。

C. 額外的暫態響應驗證

如上述圖3所示的測試架構，圖3利用電壓探棒對IC-1與IC-2輸出節點的電壓波形進行監控，並透過連接導線將3.3-V電源輸入IC-1與IC-2。因此利用電壓探棒量測的耦合暫態突波可能受到探棒纜線干擾，即使所有電壓探棒與電源線均完全懸在半空中(離HCP桌面距離15公分)來預防ESD感應暫態耦合至這些纜線，但仍有可能透過纜線連接耦合暫態至測試板的疑慮。

為了完全消除電壓探棒與電源線造成的可能耦合路徑，開發無任何覽線連接之新EUT架設來重複系統等級ESD測試，如圖8所示，其中IC-2輸出的信號準位現由一顆發光二極體(LED)而無任何電壓探棒監控，同時單獨4 V電池用作電源而非電源供應器。二極體1與二極體2用來分別對3.3-V CMOS IC-1 與IC-2減少V_{DD1}和V_{DD2}電壓準位從4V電池到~3.2 V，再將CMOS IC-1輸入接腳接地(邏輯「低」態)。因此，圖8的節點A為3.2 V (邏輯「高」態)，而輸出節點B為0 V (邏輯「低」態)，其中LED從節點B接地，當作邏輯狀態偵測器。在原始狀態下，節點B的電壓為0 V，使得LED燈保持在關閉狀態而無發光 。如果節點B的邏輯狀態從邏輯「低」態變到邏輯「高」態(3.2 V)，則LED燈亮起。將TVS從節點A (連接IC-1輸出接腳與IC-2輸入接腳)接地，將這些裝置焊接至PCB板上，以形成系統等級ESD測試用的新EUT。

測試的ESD等級從1000 V開始，每次電壓增加1000 V。除了邏輯狀態偵測器以外，在系統等級ESD測試後，節點A與節點B的電壓準位將再由數位三用電表進行檢查。

新EUT含TVS-1裝置無法通過第一次測試準位，只要有1000V的ESD脈衝電壓轟擊HCP，LED燈就會立即亮起，如圖9所示。顯然地，節點B出現邏輯錯誤。利用三用電表量測電壓準位後，節點A和節點B的電壓分別為0.9V與2.0V，節點A的量測電壓幾乎跟圖1(b)的TVS-1保持電壓相同，節點A的電壓準位被TVS-1的較低保持電壓給鎖住，依序造成節點B的錯誤邏輯狀態。節點B的電壓應由CMOS IC-2上拉至3.2 V(邏輯「高」態)，但LED燈亮起來下拉節點B的電壓準位至2.0 V。

在對新EUT含TVS-2裝置進行+5000 V系統等級ESD測試後，節點A的電壓降至約1.8 V，幾乎跟圖1(b)的TVS-2保持電壓相同。TVS-3裝置有保持電壓高於3.2 V，在這個新測試架設下並不會造成任何故障，即使ESD測試電壓準位被上升至±30000 V(受限於ESD槍)。表II顯示新EUT的系統等級ESD測試結果總結，其中節點A放置新EUT無任何TVS裝置能夠通過超過±16000 V的系統等級ESD測試。在系統等級ESD測試時，信號完整性與節點A和節點B邏輯狀態問題均沒有觀察到。

從表I與表II所列的量測結果得知，在TVS被ESD感應過壓/欠壓暫態電壓後，TVS-1或TVS-2裝置造成的邏輯錯誤均無法被自動恢復。TVS-1或TVS-2裝置保持在保持狀態來下拉IC-1輸出電壓(節點A)至保持電壓，在系統等級ESD測試後，系統操作之信號完整性就被破壞。從這項額外的暫態響應驗證得知，TVS的保持電壓應稍微比微電子系統最大信號電壓準位還要高，以保持正確應用的信號完整性。

表 II
新EUT架設之系統等級ESD測試總結

	TVS-1	TVS-2	TVS-3	TVS-4
失效的ESD電壓(V)	+1000	+5000	不適用	不適用
合格的ESD電壓(V)	不適用	±4000	±30000	>1±169000
ESD轟擊前的節點A(V)	3.3V(高態)			
ESD轟擊前的節點B(V)	0V(低態)			
ESD轟擊後的節點A (V)	0.9	1.8	3.2	3.2
ESD轟擊後的節點B (V)	2.0	0	0	0
LED燈	ON	OFF	OFF	OFF
失效模式	信號完整性問題	信號完整性問題	無失效	無失效

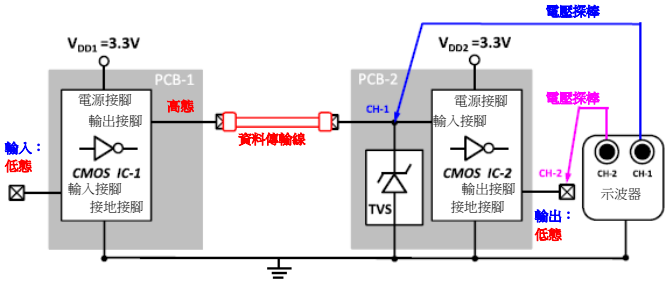


圖10. 兩顆CMOS IC (IC-1與IC-2)由資料傳輸線連接且受到TVS保護之測試架設。

電池接線與EUT沒有良好的回流面可能增加電路受到ESD干擾的靈敏性，在VDD與GND之間接上解耦電容可能是穩定電壓並減少ESD感應暫態雜訊跑入微電子系統的不錯選擇。

IV. EFT/B耐受測試

EFT/B耐受測試是一種由許多快速脈衝耦合到微電子設備電源、控制、信號與接地埠所組成之突波測試，其特性具有高振幅、高重複率且低能量暫態電壓。EFT/B耐受測試打算展示電子設備對暫態干擾之耐受性，像切換暫態產生。

A. *EFT/B耐受測試架設*

圖10顯示EFT/B耐受測試之微電子系統架設，其中CMOS反相器(IC-1)用來模擬傳輸信號的一個傳輸埠，IC-1將焊接至PCB-1板上。另一個CMOS反相器(IC-2)則用來模擬接收傳輸埠IC-1數位資料的接收埠，保護裝置TVS置於CMOS反相器(IC-2)輸入接腳到地，CMOS反相器(IC-2)與保護裝置TVS焊接至另一塊PCB-2板上。資料傳輸線將連接至IC-1輸出接腳與IC-2輸入接腳，

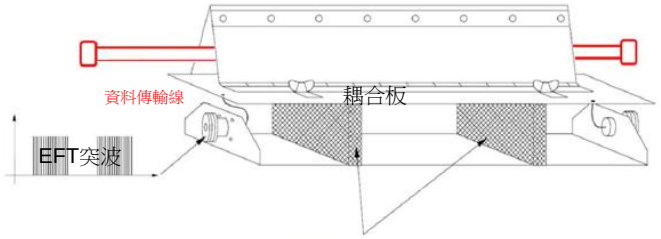


圖11. EFT/B耐受測試用電容耦合夾鉗[3]。

這三種晶片(IC-1、IC-2與TVS)和資料傳輸線形成EFT/B耐受測試用之EUT。

IC-1的電源接腳將接至3.3V(V_{DD1}) ，IC-2的電源接腳則接至3.3V(V_{DD2})。輸入IC-1的輸入信號為邏輯「低」態，因此IC-2輸入接腳接收的信號為邏輯「高」態，IC-2輸出則維持在「低」態。在EFT/B耐受測試時，將利用示波器頻道1(CH-1)與頻道2(CH-2)的電壓探棒，進行IC-2輸入接腳與輸出接腳的突波電壓波形監控與記錄，如圖10所示。上述三種商用TVS以不同的保持電壓進行測試，利用對這些EUT進行EFT/B耐受測試，即可研究TVS在不同的保持電壓下微電子系統輸入埠或輸出埠之影響。

圖11顯示EFT/B耐受測試[3]時利用電容耦合夾鉗，其中資料傳輸線(如圖10所示)將置於電容耦合夾鉗的耦合板上，如圖11所示，同時EFT/B將轟擊耦合板。因此，EFT脈衝將耦合至資料傳輸線與EUT。EFT/B測試電壓以200V正負脈衝開始，每次EFT/B測試電壓將增加200V。EFT突波重複頻率為5kHz，每次突波總共75個脈衝，突波持續時間為15ms。因此，兩個鄰近EFT脈衝間的時間間隔為0.2ms，EFT/B耐受測試時間為1分鐘。

B. *EFT/B耐受測試下之暫態響應*

在200-V EFT/B電壓轟擊夾鉗(如圖11所示)下，進行有TVS-1防護的IC-2輸入接腳與輸出接腳之突波電壓波形量測並如圖12所示。在EFT/B轟擊之前，IC-2輸入接腳與輸出接腳的初始狀態分別保持在邏輯「高態(3.3V)」和邏輯「低態(0V)，如圖12所示的CH-1與CH-2波形。在EFT/B轟擊耦合夾鉗時，EFT脈衝耦合至資料傳輸線、CMOS IC-1與IC-2。在200-V EFT/B轟擊後，IC-2輸入接腳的電壓從3.2V降至0.8V，即使IC-1輸入接腳的輸入信號保持在邏輯低態(0 V)。

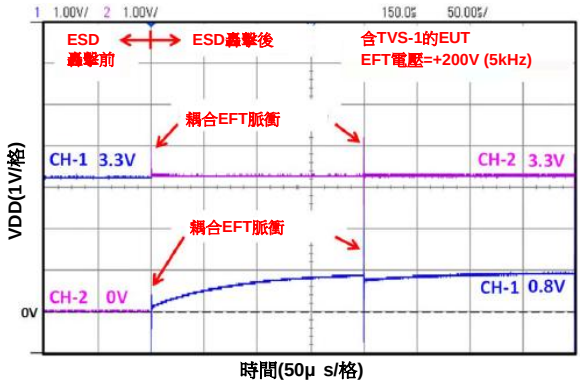


圖12. 在+200V EFT/B測試轟擊時，有***TVS-1***防護量測IC-2輸入接腳(電壓探棒CH-1)與IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

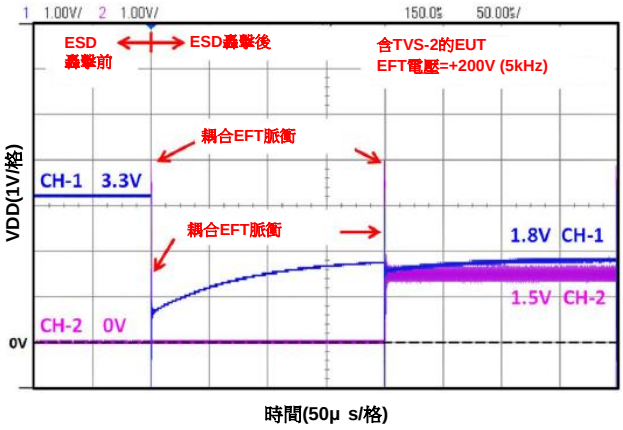


圖13.在+200V EFT/B測試轟擊時，有***TVS-2***防護量測IC-2輸入接腳(電壓探棒CH-1)與IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

這個0.8V鉗降電壓剛好跟圖1(b)的TVS-1保持電壓相同，耦合的EFT脈衝可以觸發TVS-1至其保持狀態，因此IC-2輸入接腳的信號電壓準位鉗降至0.8V。TVS-1的確啟動鉗住耦合的EFT脈衝，因而保護PCB上的IC免受過壓影響。不過， IC-2輸入接腳的信號電壓準位被TVS-1的較低保持電壓(0.8V) 鉗制，因此IC-2輸出接腳的邏輯準位錯誤而變成邏輯高態(3.3V)。在EFT/B耐受測試造成系統操作錯誤(軟性誤差)或故障後，這類的錯誤邏輯狀態因TVS-1而造成，即使硬體(CMOS IC)沒有受到EFT/B耐受測試而損壞。當有較高的EFT/B電壓(輸入/輸出埠與通訊埠一般為2000V)時，這類信號完整性問題在受到這種TVS-1防護的微電子系統中變得更嚴重。

圖13顯示在200V EFT/B耐受測試時，有TVS-2防護量測IC-2輸入接腳與輸出接腳之暫態電壓波形。在+200V EFT/B耐受測試後，IC- 2輸入接腳的電壓準位被鉗降至約1.8V，接近TVS-2的保持電壓[如圖1(b) 所示]。

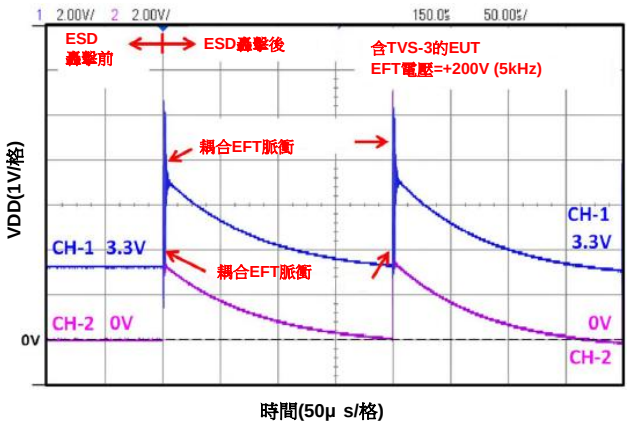


圖14. 在+200V EFT/B測試轟擊時，有***TVS-3***防護量測IC-2輸入接腳(電壓探棒CH-1)與IC-2輸出接腳(電壓探棒CH-2)之暫態電壓波形。

表 III
EFT耐受測試總結

	TVS-1	TVS-2	TVS-3
失效的ESD電壓(V)	+200	+200	不適用
合格的EFT測試電壓(V)	不適用	不適用	±2000
EFT測試前的CH1電壓探棒(V)	3.3V(高態)		
EFT測試前的CH2電壓探棒(V)	0V(低態)		
EFT測試後的CH1電壓探棒(V)	0.8	1.8	3.3
EFT測試後的CH2電壓探棒(V)	3.3	1.5	0
失效模式	信號完整性問題	信號完整性問題	無失效

由於IC-2 (CH-1)接收資料的電壓準位被TVS-2鉗制，因此IC-2 (CH-2)的輸出電壓(1.5V)完全錯誤。在+200V EFT/B測試後，CH-2的輸出邏輯狀態從邏輯「低態」變至模糊狀態，因而對系統操作造成嚴重錯誤。

+2000V EFT/B轟擊時，有TVS-3防護的IC-2輸入接腳與輸出接腳之量測暫態電壓波形如圖14所示，EFT脈衝耦合至IC-2輸入接腳讓過衝電壓跑入微電子系統，過衝電壓可以觸發TVS-3。因為TVS-3的保持電壓比系統的操作電壓還要大，所以耦合ESD脈衝被釋放至地後即可關閉TVS-3。由於IC-2輸入接腳保持在正確的邏輯狀態(3.3V)，在±2000V EFT/B測試後，因此CH-2的輸出邏輯狀態也保持在正確的狀態(0V)。因此，TVS-3不僅能夠提供PCB板有效率的EFT/B防護，而且還能良好保持微電子系統的信號完整性。

在EFT/B耐受測試下，受到TVS防護的PCB板之暫態響應量測結果總結如表III，其中只有TVS-3防護的EUT可以通過±2000V EFT/B耐受測試，以達到EFT/B規範「第四級」耐受要求[3]。

有TVS-1與TVS-2防護的 EUT無法通過200-V EFT/B耐受測試，同時這兩種EUT的失效模式並非CMOS IC損壞而是信號完整性問題，這是因為TVS-1與TVS-2的保持電壓低於系統操作電壓。只要這些TVS受到耦合EFT脈衝觸發，IC-2輸入接腳的電壓準位就會被鎖住在這些TVS的保持電壓 下，因而導致信號完整性問題。為了安全防護微電子系統免受EFT/B過壓的影響與保持正確應用的信號完整性，TVS的保持電壓應稍微比微電子系統最大信號電壓準位還要高。

I. 結論

在系統等級ESD測試與EFT/B測試下，本文針對使用不同保持電壓的三種商用TVS之微電子系統信號完整性進行研究。從量測結果得知，EUT有保持電壓比系統操作電壓還低的TVS防護無法達到系統等級ESD與EFT/B規範「第四級」耐受要求。這些不合格EUT之失效模式並不是由於ESD能量而造成系統晶片永久損壞，但卻是因為TVS引起的信號完整性問題。從本實驗結果得知，唯有EUT受到保持電壓比系統操作電壓還高的TVS-3防護才能通過系統等級ESD測試至±30000V與EFT/B測試至±2000V。為了保持微電子系統有正確的信號完整性，強烈建議採用保持電壓比系統操作電壓還高的TVS。

致謝

作者想要感謝台灣新竹晶焱科技股份有限公司Dr. Ryan Jiang提供寶貴的技術意見和靜電(ESD)與快速暫態(EFT)/突波設備協助，同時還要感謝主編與審查委員提供寶貴的建議，讓本論文公開更加完善。

參考文獻

[1] *Electrostatic Discharge Sensitivity Testing—Human Body Model (HBM)—Component Level*, Standard ESD STM-5.1-2001, ESD Asso- ciation Standard Test Method, 2001.

[2] *EMC-Part 4-2: Testing and Measurement Techniques-Electrostatic Dis- charge Immunity Test*, document IEC 61000-4-2, International Standard, 2001.

[3] *EMC-Part 4-4: Testing and Measurement Techniques-Electrical Fast Transient/Burst Immunity Test*, document IEC 61000-4-4, International Standard, 2004.

[4] M.-D. Ker, P.-Y. Chiu, W.-T. Shieh, and C.-C. Wang, "ESD protection design for touch panel control IC against latchup-like failure induced by system-level ESD test," *IEEE Trans. Electron Devices, vol. 64, no. 2, pp. 642–645, Feb. 2017, doi: 10.1109/TED.2016.2642042.*

[5] M.-D. Ker and H.-H. Chang, "How to safely apply the LVTSCR for CMOS whole-chip ESD protection without being accidentally triggered on," J. Electrostatics, vol. 47, no. 4, pp. 215–248, Oct. 1999, doi: 10.1016/S0304-3886(99)00037-6.

[6] C.-C. Yen, M.-D. Ker, and T.-Y. Chen, "Transient-induced latchup in CMOS ICs under electrical fast-transient test," *IEEE Trans. Device Mater. Rel.*, vol. 9, no. 2, pp. 255–264, Jun. 2009, doi: 10.1109/TDMR. 2009.2015938.

[7] J. Fan, X. Ye, J. Kim, B. Archambeault, and A. Orlandi, "Signal integrity design for high-speed digital circuits: Progress and directions," *IEEE Trans. Electromagn. Compat.*, vol. 52, no. 2, pp. 392–400, May 2010, doi: 10.1109/TEMC.2010.2045381.

[8] Y.-S. Shen, M.-D. Ker, and H.-C. Jiang, "Transient voltage suppressor (TVS) on signal integrity of microelectronics system with CMOS ICs under system-level ESD test," in *Proc. IEEE Int. Symp. Phys. Failure Anal. Integr. Circuits (IPFA)*, Singapore, Jul. 2020, pp. 424–427.

[9] R. A. Ashton, "Modified transmission line pulse system and transistor test structures for the study of ESD," in *Proc. IEEE Int. Conf. Microelectron. Test Struct.*, vol. 8, Mar. 1995, pp. 127–132, doi: 10.1109/ICMTS. 1995.513959.

[10] J. C. Lee, R. Young, J. J. Liou, G. D. Croft, and J. C. Bernier, "An improved transmission line pulsing (TLP) setup for electrostatic discharge (ESD) testing in semiconductor devices and ICs," in *Proc. ICMTS. Int. Conf. Microelectron. Test Struct.*, Mar. 2001, pp. 233–238, doi: 10.1109/ICMTS.2001.928668.

[11] M.-D. Ker and S.-F. Hsu, "Component-level measurement for transientinduced latch-up in CMOS ICs under system-level ESD considerations," *IEEE Trans. Device Mater. Rel.*, vol. 6, no. 3, pp. 461–472, Sep. 2006, doi: 10.1109/TDMR.2006.882203.